格見半导体

专注于高端实时控制芯片设计

Xplorer-GS32FP55A 系列
生态板用户手册

2025 年 5 月 23 日

格见构知（上海）半导体有限公司 | 深圳格见构知半导体有限公司（简称“格见半导体”）是一家专注于高端实时控制芯片设计公司，在芯片产品定义、设计研发、量产导入、销售运营等领域都具备丰富经验。

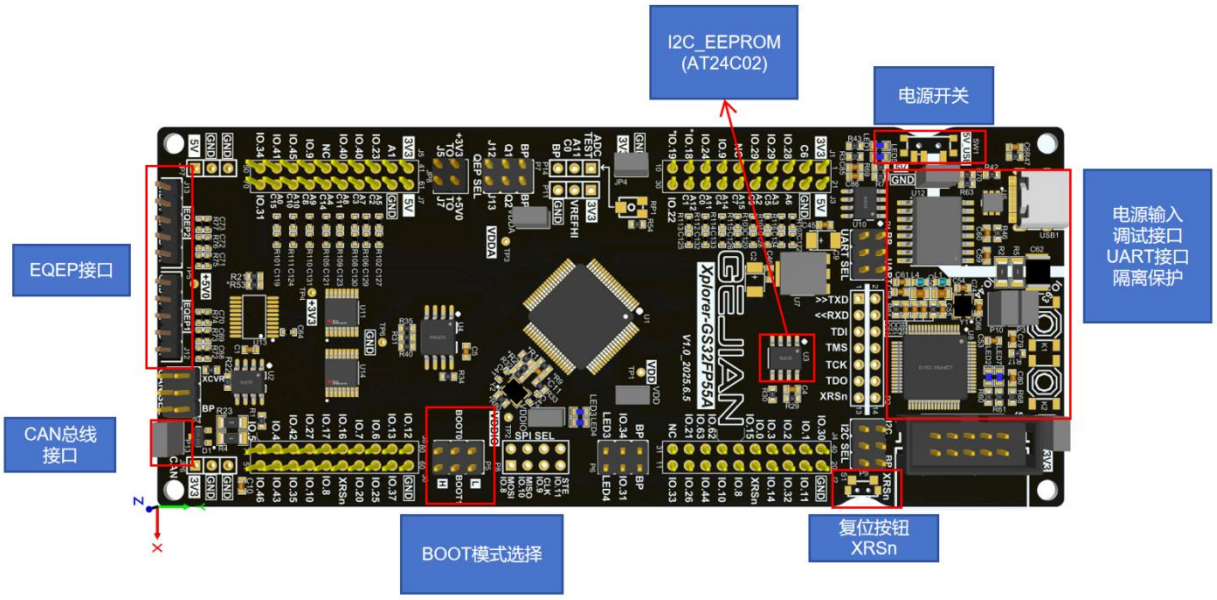
GS32-DSP 是格见半导体自主研发的实时控制微处理器系列产品。公司致力于为数字能源、数字电源、工业自动化、智能汽车、机器人、高端家电等领域提供芯片解决方案。

更多产品资料：sales@gejian-semi.com；support@gejian-semi.com
更多详情访问：www.gejian-semi.com

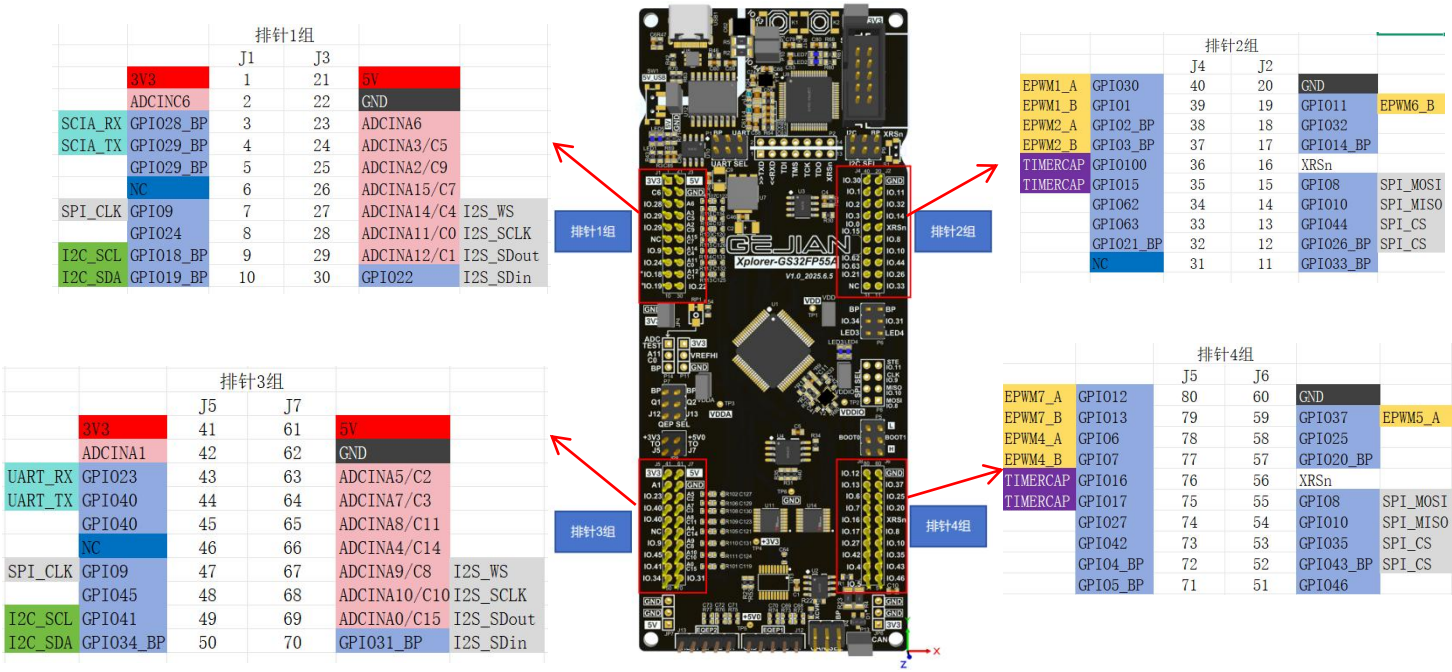
更多官方资讯

1 总体框图

生态板总体框图



生态板引脚分布图



排针1组

		J1	J3		
	3V3	1	21	5V	
	ADCINC6	2	22	GND	
SCIA_RX	GPIO28_BP	3	23	ADCINA6	
SCIA_TX	GPIO29_BP	4	24	ADCINA3/C5	
	GPIO29_BP	5	25	ADCINA2/C9	
	NC	6	26	ADCINA15/C7	
SPI_CLK	GPIO9	7	27	ADCINA14/C4	I2S_WS
	GPIO24	8	28	ADCINA11/C0	I2S_SCLK
I2C_SCL	GPIO18_BP	9	29	ADCINA12/C1	I2S_SDout
I2C_SDA	GPIO19_BP	10	30	GPIO22	I2S_SDin

排针2组

		J4	J2		
EPWM1_A	GPIO30	40	20	GND	
EPWM1_B	GPIO1	39	19	GPIO11	EPWM6_B
EPWM2_A	GPIO2_BP	38	18	GPIO32	
EPWM2_B	GPIO3_BP	37	17	GPIO14_BP	
TIMERCAP	GPIO100	36	16	XRSn	
TIMERCAP	GPIO15	35	15	GPIO8	SPI_MOSI
	GPIO62	34	14	GPIO10	SPI_MISO
	GPIO63	33	13	GPIO44	SPI_CS
	GPIO21_BP	32	12	GPIO26_BP	SPI_CS
	NC	31	11	GPIO33_BP	

排针3组

		J5	J7		
	3V3	41	61	5V	
	ADCINA1	42	62	GND	
UART_RX	GPIO23	43	63	ADCINA5/C2	
UART_TX	GPIO40	44	64	ADCINA7/C3	
	GPIO40	45	65	ADCINA8/C11	
	NC	46	66	ADCINA4/C14	
SPI_CLK	GPIO9	47	67	ADCINA9/C8	I2S_WS
	GPIO45	48	68	ADCINA10/C10	I2S_SCLK
I2C_SCL	GPIO41	49	69	ADCINA0/C15	I2S_SDout
I2C_SDA	GPIO34_BP	50	70	GPIO31_BP	I2S_SDin

排针4组

		J5	J6		
EPWM7_A	GPIO12	80	60	GND	
EPWM7_B	GPIO13	79	59	GPIO37	EPWM5_A
EPWM4_A	GPIO6	78	58	GPIO25	
EPWM4_B	GPIO7	77	57	GPIO20_BP	
TIMERCAP	GPIO16	76	56	XRSn	
TIMERCAP	GPIO17	75	55	GPIO8	SPI_MOSI
	GPIO27	74	54	GPIO10	SPI_MISO
	GPIO42	73	53	GPIO35	SPI_CS
	GPIO4_BP	72	52	GPIO43_BP	SPI_CS
	GPIO5_BP	71	51	GPIO46	

生态板引脚分布图中仅标注了 IO 口主要复用功能，详细复位功能可见 GS32FP55A 数据手册。

2 功能介绍

在使用生态板时，需要先将硬件的管脚通过跳线帽连接，以便于正常调试。

2.1 板载调试与供电隔离电路

板载调试器包含了 CJTAG 调试功能与 USB1UART 功能。因此当用户 PC 连接该生态板的 Type-C 接口时如图 2-1-1 所示，

1）PC 上会出现“USB Composite Device”设备（Vendor ID = 0403，Device ID = 6010）用于 CJTAG 调试。

2） 以及出现一个新的 COM 口用于上位机与目标板进行串口通信。

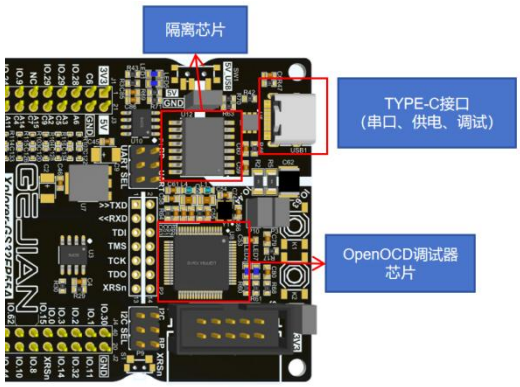


图 2-1-1 板载调试与隔离电路示意图

2.2 电源选择跳线

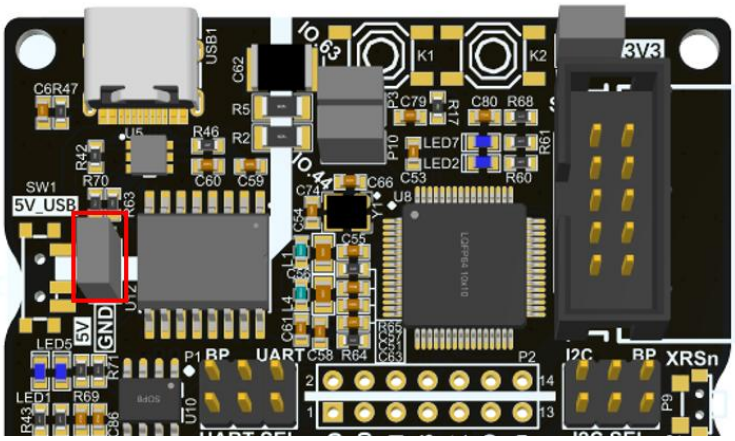


图 2-2-1 JP1 PCB 管脚示意图

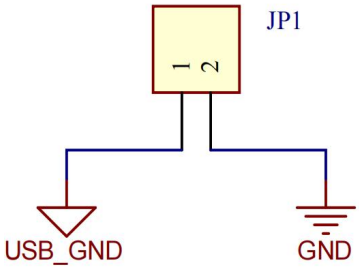


图 2-2-2 JP1 硬件原理图

JP1 管脚如图 2-2-1 所示，图 2-2-2 为硬件原理图：
连通——PCB 由 USB（type-C）供电；
断开——PCB 可由外部连线供电（需要自行连接供电端口）。

2.3 UART 引脚选择

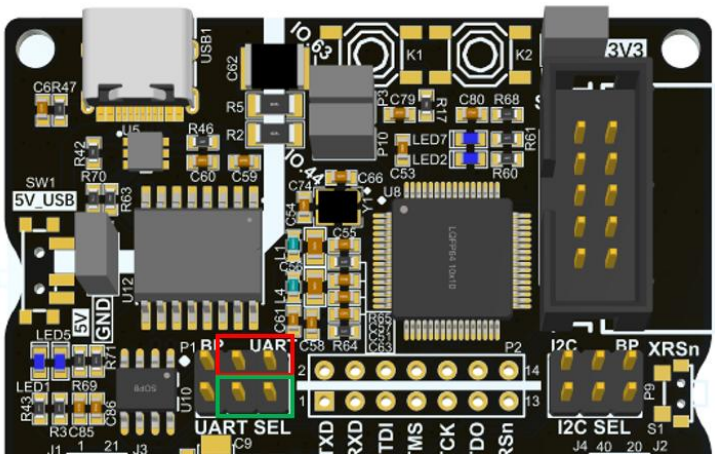


图 2-3-1 UART SEL 引脚选择示意图

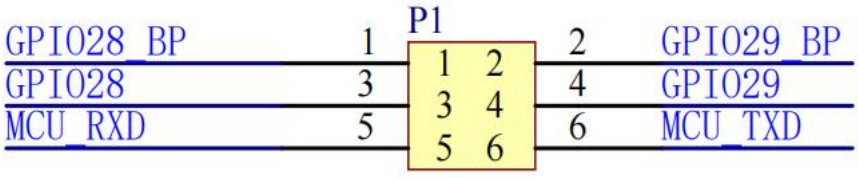


图 2-3-2 UART 引脚硬件原理图

按照上图 2-3-1 连接跳线，GPIO28（SCIA_TX）、GPIO29（SCIA_RX）与板载调试器连接；用作板载调试器、USB 转串口等功能时，图示跳线帽需要连接。

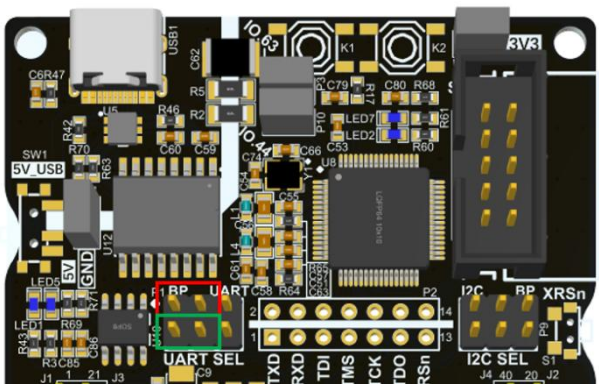


图 2-3-3 UART BP 选择示意图

		排针1组			
		J1	J3		
	3V3	1	21	5V	
	ADCINC6	2	22	GND	
SCIA_RX	GPIO28_BP	3	23	ADCINA6	
SCIA_TX	GPIO29_BP	4	24	ADCINA3/C5	
	GPIO29_BP	5	25	ADCINA2/C9	
	NC	6	26	ADCINA15/C7	
SPI_CLK	GPIO9	7	27	ADCINA14/C4	I2S_WS
	GPIO24	8	28	ADCINA11/C0	I2S_SCLK
I2C_SCL	GPIO18_BP	9	29	ADCINA12/C1	I2S_SDout
I2C_SDA	GPIO19_BP	10	30	GPIO22	I2S_SDin

图 2-3-4 SCI 引脚分布图

若按照上图 2-3-3 连接方式连接跳线的情况下，此时的 J1 区的 GPIO28、GPIO29 可以作为 SCIA_RX、SCIA_TX 使用，该引脚的硬件原理图如图 2-3-2 所示，SCI 引脚分布图如图 2-3-4 所示。

2.4 TXD、RXD 引脚和调试引脚连接

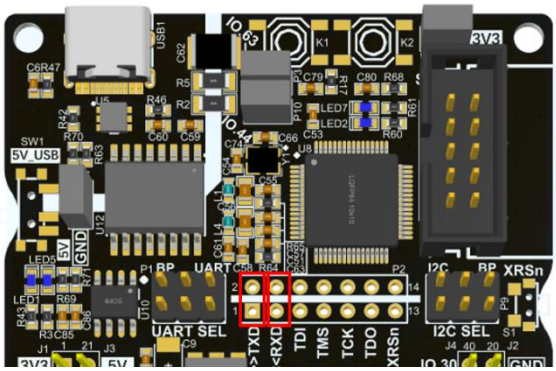


图 2-4-1 TXD、RXD 引脚选择示意图

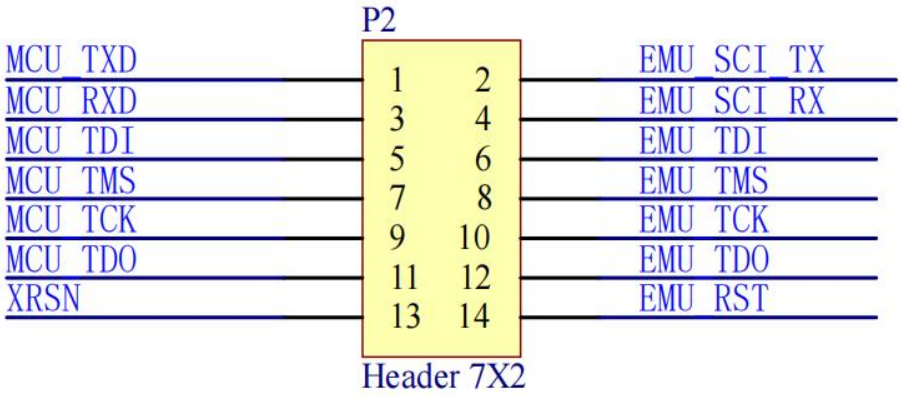


图 2-4-2 TXD、RXD 与调试引脚硬件原理图

连通——板载调试器 UART_RX/TX 与 MCU GPIO28(SCI_TX)/GPIO29(SCI_RX)相连；

作用：GPIO28、GPIO29 用作板载调试器、USB 转串口（当前板子串口芯片 U10 默认 NC）功能时，图示 2-4-1 中的跳线帽需要这样连接，如图 2-4-1 所示。

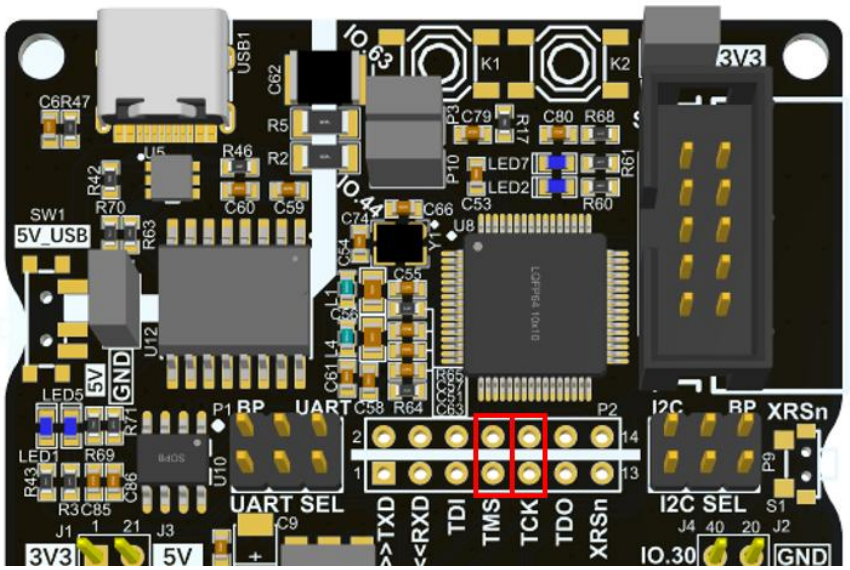


图 2-4-3 调试引脚示意图

作用：图 2-4-3 中的 TMS、TCK 主要是用来 debug 调试（CJTAG），可以与 JLINK 对应的引脚进行连接使用。

该部分引脚的硬件原理图如图 2-4-2 所示。

2.5 I2C 引脚选择

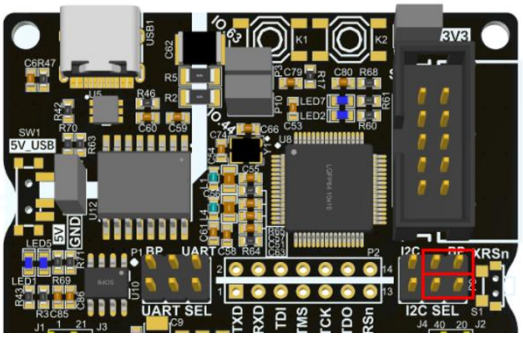


图 2-5-1 I2C BP 引脚选择示意图

按如图 2-5-1 所示连接跳线，GPIO2(I2C_SDA)、GPIO3(I2C_SCL)与板上排针相连。

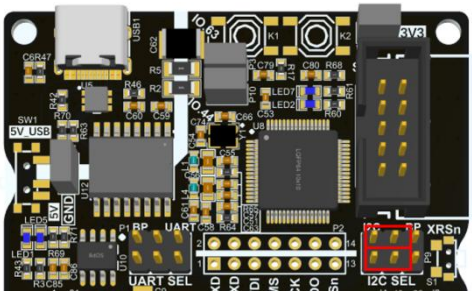
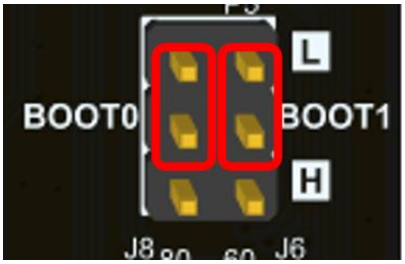


图 2-5-3 I2C SEL 引脚选择示意图

按如图 2-5-3 所示连接跳线：GPIO2(I2C_SDA)、GPIO3(I2C_SCL)与板上 EEPROM（AT24C64）相连。该 I2C 引脚的硬件原理图如图 2-5-2 所示。

2.6 BOOT 方式选择(芯片的启动方式)



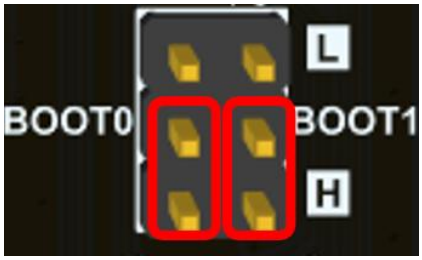
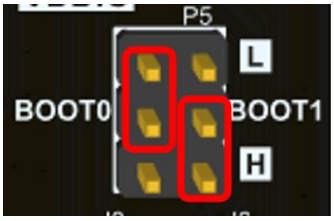


图 2-6-1 芯片从 flash 启动

以上这两种 bootpin 的连接方式表示芯片从 flash 启动如图 2-6-1 所示。



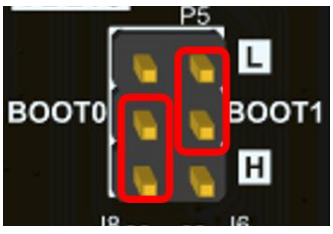


图 2-6-2 芯片从 bootrom 启动　　图 2-6-3 芯片从 sram 启动

图 2-6-2 和图 2-6-3 展示的是芯片分别从 bootrom 和 sram 启动 bootpin 的连接方式。

2.7 JP8 管脚连接

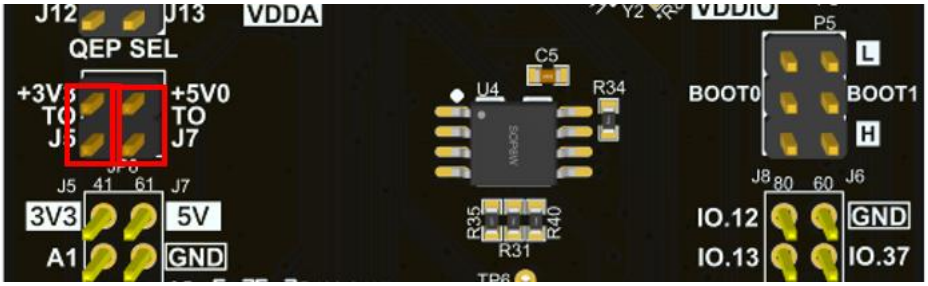


图 2-7-1 JP8 PCB 管脚示意图

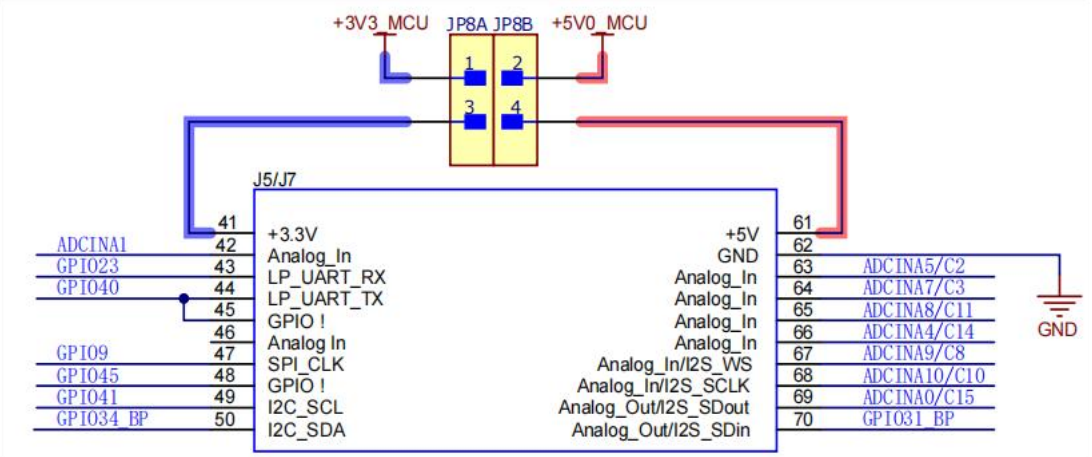


图 2-7-2 JP8 硬件原理图

连接——通过非隔离供电模式进行供电，由生态板的 USB 提供电源，3V3 给 J5 供电，5V5 给 J7 供电。

断开——隔离供电模式，采用其它电源给生态板供电，通过 J5、J7 端子对对应的引脚外供电源。

需要注意的是如果采用隔离电源供电需要将 JP1 上的跳线帽拆下，将开关 SW1 关闭，采用非隔离供电模式需要将 JP1 上的跳线帽插上，如图 2-7-1 所示，JP8 的硬件原理示意图如图 2-7-2 所示。

2.8 SPI 管脚连接

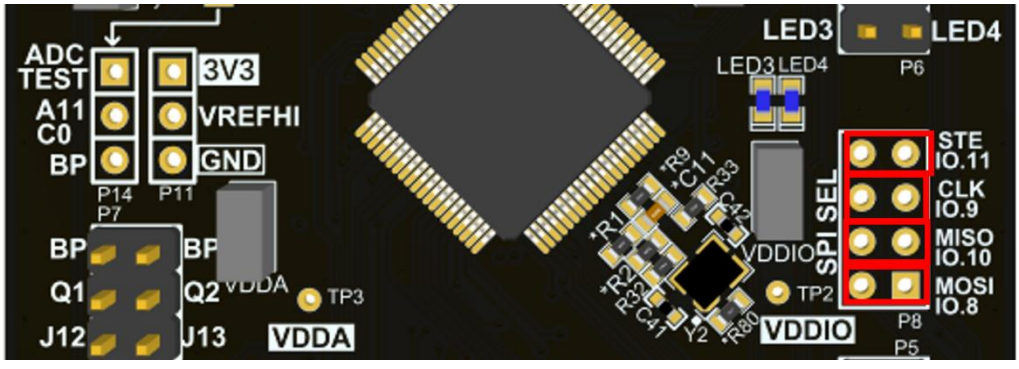


图 2-8-1 SPI PCB 硬件管脚连接

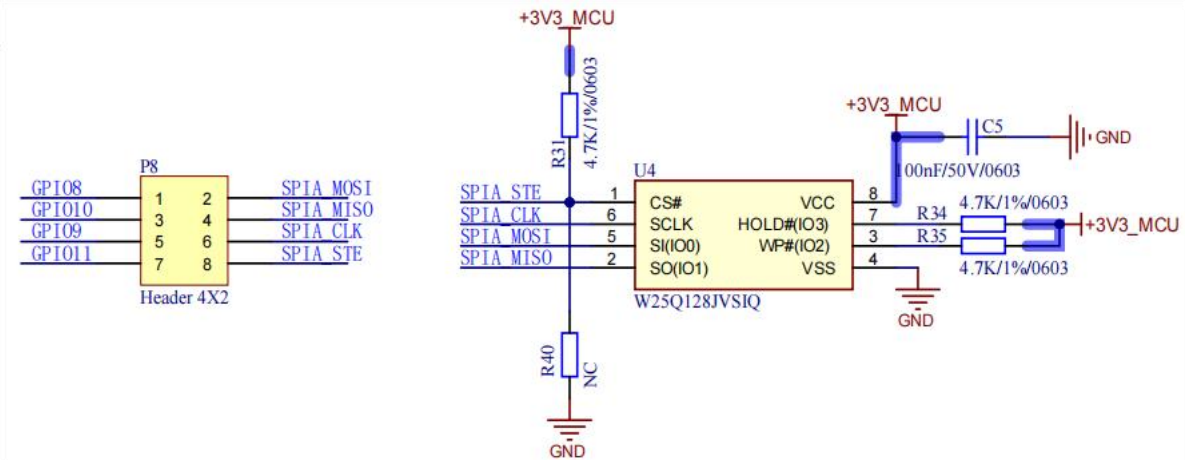


图 2-8-2 SPI 硬件原理示意图

SPI 管脚的硬件连接如图 2-8-1 所示，硬件原理图如图 2-8-2 所示。

连通—— 连接板上的 SPI-Flash W25Q128

断开——图片右侧引脚作为普通 GPIO 使用，与板上排针相连。

在 GS32FP55A 芯片的硬件使用中，按照该图进行跳线帽的连接默认使用的是 SPIB 读写内部 FLASH，硬件内部是将 SPIB 连接到 SPI FLASH.

2.9 EQEP 管脚连接

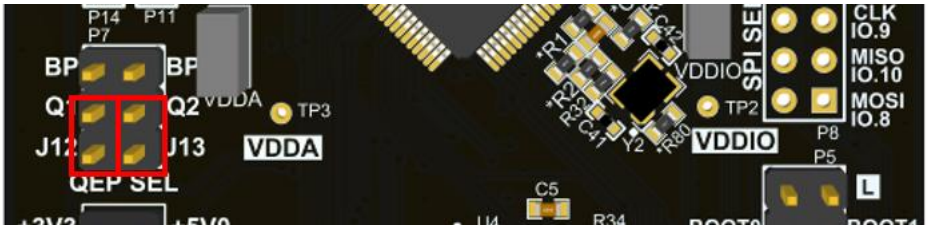


图 2-9-1 QEP SEL 管脚连接

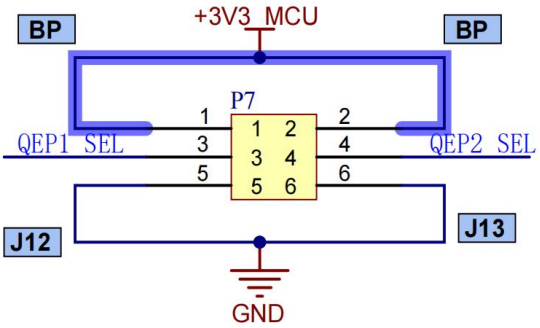


图 2-9-2 QEP SEL 硬件原理示意图

在使用 EQEP 模块时，需要先将跳线帽按照如图 2-9-1 所示连接，硬件原理图如图 2-9-2 所示，之后使用 EQEP 功能，EQEP 引脚如图 2-9-3 所示，硬件原理图如图 2-9-4 所示。

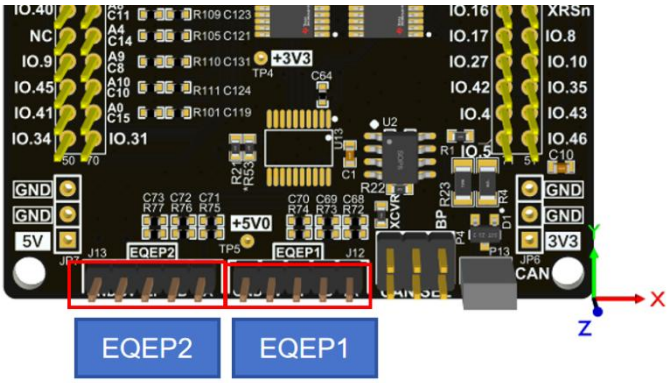


图 2-9-3 EQEP 引脚示意图

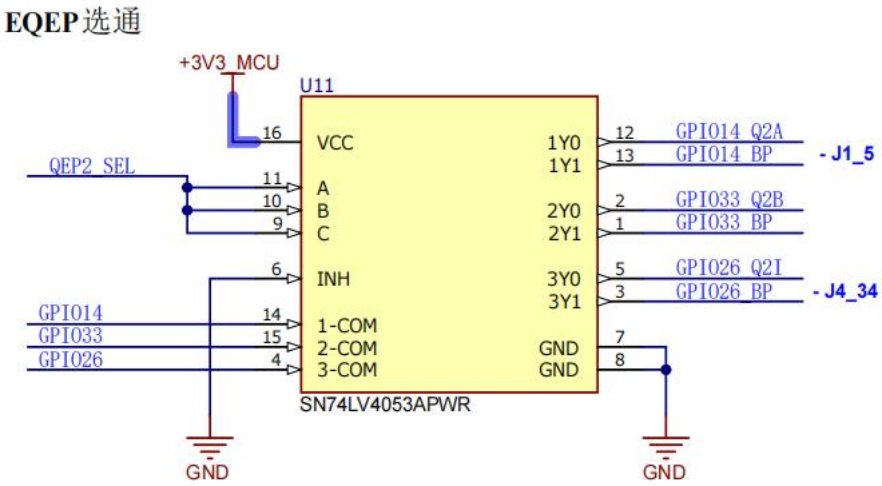


图 2-9-4 EQEP 硬件原理图

QEPSEL 管脚选择连接如上图 2-9-1 所示。

连通：

（1）将 Q1、Q2 管脚接地，连通 J12，J13。使用 EQEP 功能（GPIO14_Q2A、GPIO33_Q2B、GPIO26Q2I）；

（2）如上图所示，将 Q1、Q2 管脚接 BP(连通 3.3v)，GPIO14、GPIO33、GPIO26 与板上插针相连。

需要注意的是：根据硬件特性，跳线帽必须与 BP 端或 J12、J13 相连，不能将引脚悬空。

2.10 CAN 引脚连接

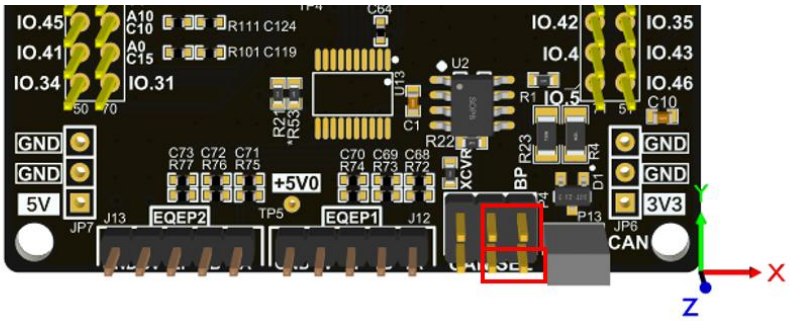


图 2-10-1 CAN BP 引脚选择示意图

作用：按照图 2-10-1 连通：GPIO4、GPI5 连接板上插针，用作普通 GPIO 功能。

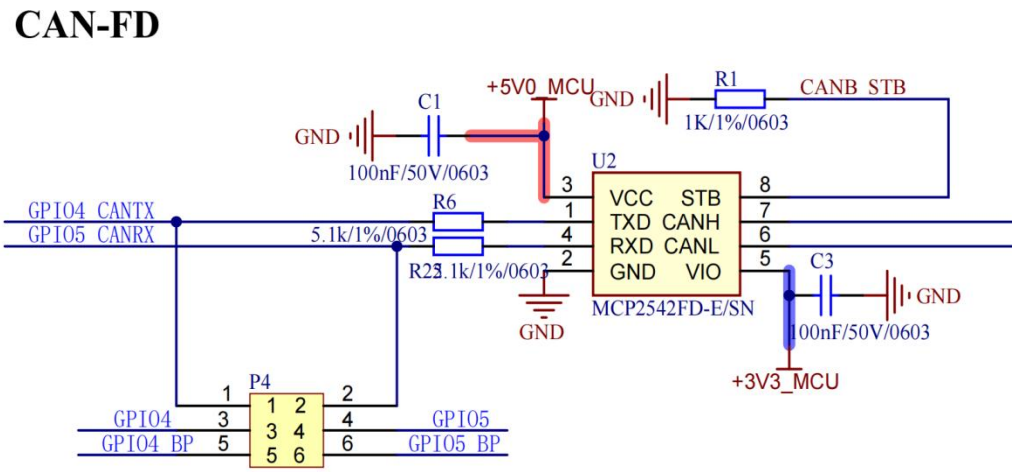


图 2-10-2 CANSEL 硬件原理图

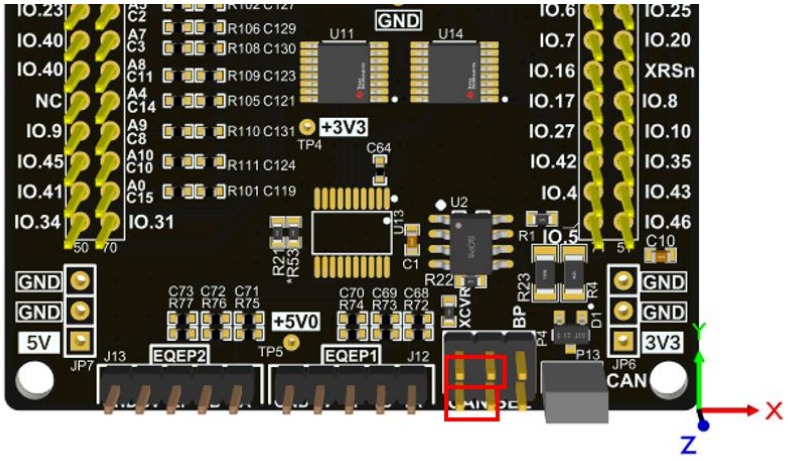


图 2-10-3 CAN SEL 示意图

该引脚按照上图 2-10-3 连接，GPIO4 连接 CANTX，GPIO5 连接 CANRX，CANSEL 管脚硬件原理图如图 2-10-2 所示。

2.11 ADC 测试引脚连接

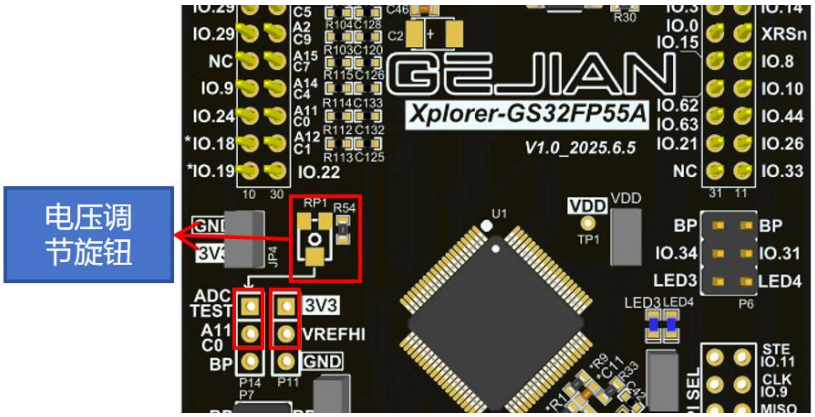


图 2-11-1 ADC 测试引脚 PCB 示意图

图 2-11-1 所示，VREFI 为 ADC 外部参考电压输入，如果需要接外部 3.3V 参考电压则需要跳线帽连接 P11 端子上的'3V3'和'VREFHI'引脚。如果 ADC 外部参考电压需要 2.5V（目前生态板没提供 2.5V），则需要从外部引入 2.5V，连接 p11 端子的'VREFHI'与'GND'端子。

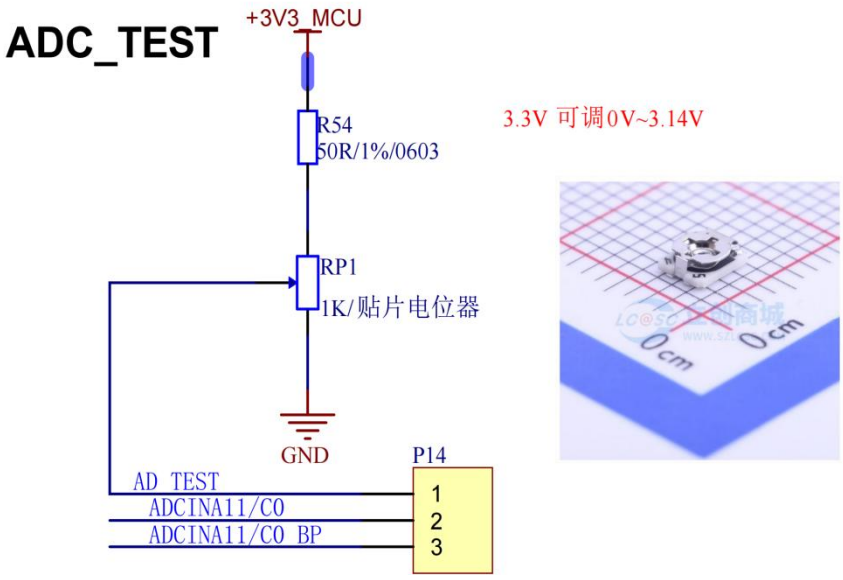


图 2-11-2 ADC 测试引脚硬件示意图

如图 2-11-2 所示，P14 的'ADC_TEST'引脚连接滑动变阻器，'ADCINA11/C0'引脚连接 mcu 的 ADCINA11/C0 引脚，'ADCINA11/C0 BP'引脚则连接 J3 端子的 A11 引脚。可以通过旋转滑动变阻器旋钮改变其输出电压，可以通过跳线帽连接'ADC_TEST'引脚和' A11/C0'引脚使滑动变阻器分压后的电压流入 mcu 内部的 ADC 引脚，完成 ADC 的测试。

需要注意的是 P14 端子上'ADCINA11/C0'引脚与'ADCINA11/C0 BP'引脚平时需要用跳线帽连接，使得 J3 端子上的'A11'引脚能够与 MCU 联通，如果断开则 J3 端子上的'A11'引脚失效。

2.12 MCU 时钟的来源

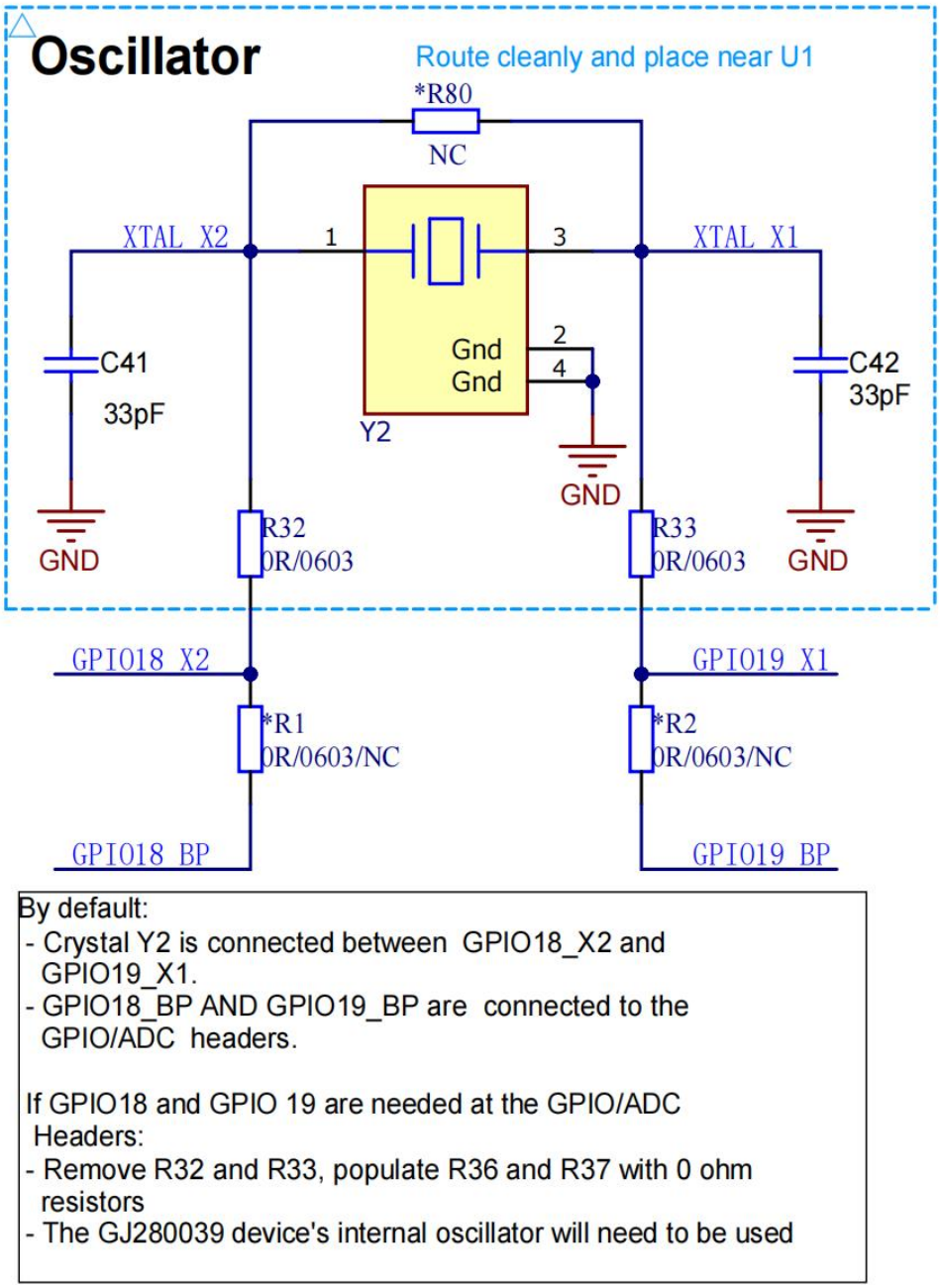


图 2-12-1 外部晶振硬件示意图

如图 2-12-1 所示，默认情况下 Y2 是无源晶振 20MHZ，晶体 Y2 连接在 GPIO18_X2（XTAL_X2）和 GPIO19_X1（XTAL_X1）之间 。C41 和 C42（33pF 电容）分别连接在 XTAL_X2、XTAL_X1 与地之间，起到稳定振荡的作用。R32 和 R33（0R 电阻）默认存在，使外部晶振接入电路，为 MCU 提供时钟信号 。

当 GPIO18 和 GPIO19 需要在 GPIO/ADC 接口使用时，需移除 R32 和 R33，并将 R36 和 R37 安装 0 欧姆电阻。此时不再使用外部晶振，而是启用内部振荡器为 MCU 提供时钟信号 。

3 基本操作

3.1 上电与连接

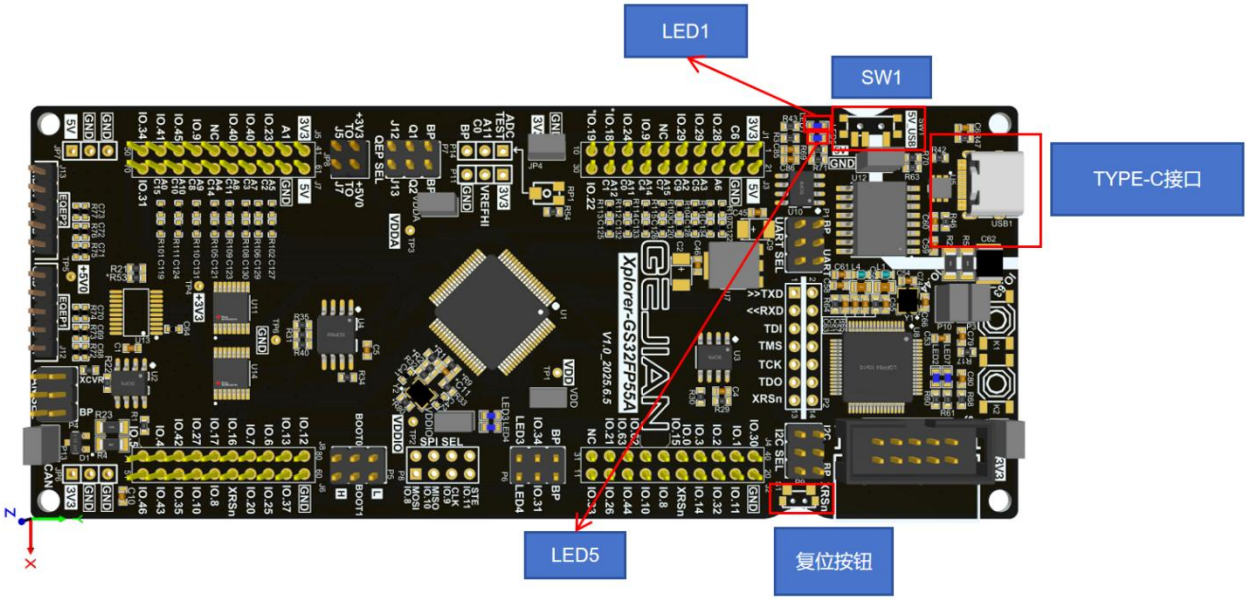
通过该 PCB 的 type-c 进行 USB 供电(typec 接口也可以用作串口连接上位机使用)。

3.2 复位

在该 PCB 上，可以通过 XRSn 按钮进行硬件复位。

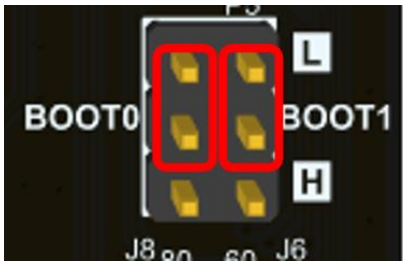
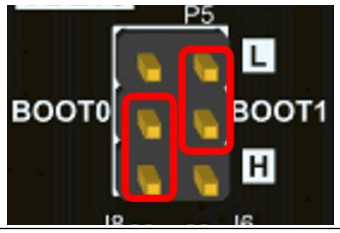
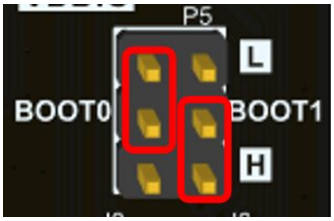
3.3 跳线选择

该 PCB 通过 USB1 供电，SW1 按钮作为板内供电开关
注意：当 USB1 供电时，USB1 旁的 LED1 会亮，再打开 SW1 开关，LED5 会亮，此时板内供电正常。
如图所示



3.4 bootpin 跳线选择

启动模式配置如下表所示：

Boot1:0	启动模式	启动地址	跳线帽连接方式
00	Flash	0x08000000	
01	SRAM	0x20000000	
10	BOOTROM	0x1FFE0000	
11	FLASH	0x08000000	